

## COMPOUND SEMICONDUCTOR HETEROJUNCTION FIELD-EFFECT TRANSISTOR

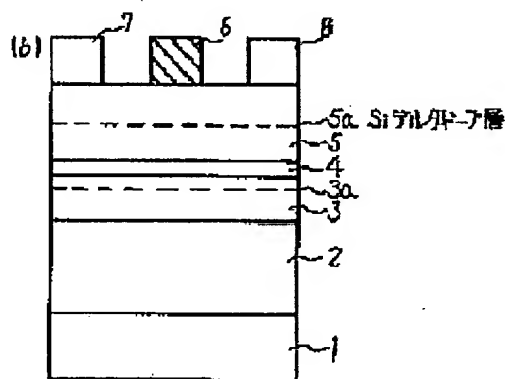
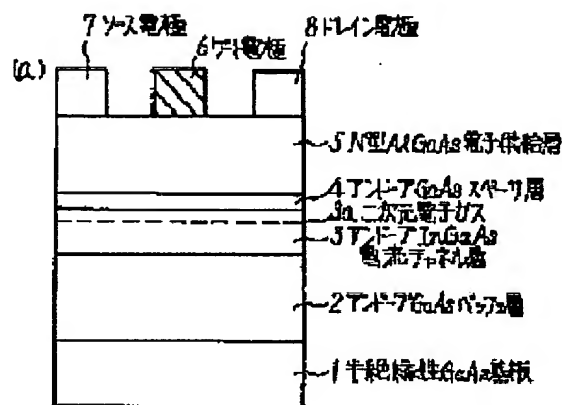
Patent number: JP6163599  
Publication date: 1994-06-10  
Inventor: NEGISHI HITOSHI  
Applicant: NEC CORP  
Classification:  
- international: H01L21/338; H01L29/812  
- european:  
Application number: JP19920317008 19921126  
Priority number(s):

Report a data error here

## Abstract of JP6163599

**PURPOSE:** To reduce coulomb scattering of the interface between a spacer layer and a channel layer in a compound semiconductor heterojunction field-effect transistor and to improve the mutual conductance  $g_m$  and noise figure by enhancing the electron mobility of two-dimensional electron gas.

**CONSTITUTION:** Undoped GaAs buffer layer 2, undoped InGaAs current channel layer 3, and N-type AlGaAs electron supply layer 5 are successively allowed to grow on a semi-insulation GaAs substrate 1. Then, a gate electrode 6, a source electrode 7, and a drain electrode 8 are formed.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-163599

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. <sup>5</sup> H 0 1 L 21/338 29/812	識別記号	庁内整理番号 7376-4M	F I H 0 1 L 29/80	技術表示箇所 H
--	------	-------------------	----------------------	-------------

審査請求 未請求 請求項の数2(全 3 頁)

(21)出願番号 特願平4-317008

(22)出願日 平成4年(1992)11月26日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 根岸 均

東京都港区芝五丁目7番1号日本電気株式  
会社内

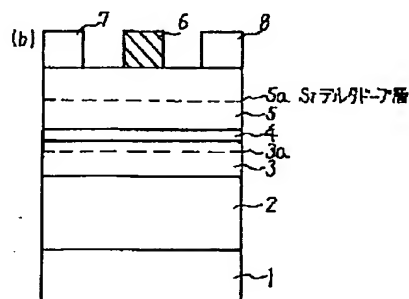
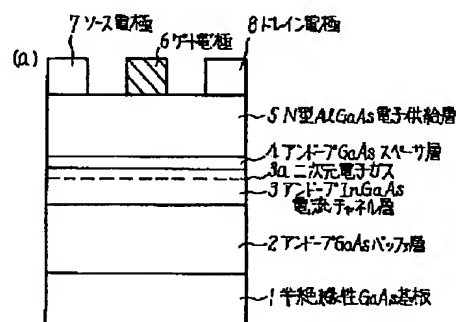
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 化合物半導体ヘテロ接合電界効果トランジスタ

(57)【要約】

【目的】化合物半導体ヘテロ接合電界効果トランジスタにおいて、スペーサ層とチャネル層との界面のクーロン散乱を低減する。二次元電子ガスの電子移動度を高め、相互コンダクタンス $g$ 、および雑音指数の改善を図る。

【構成】半絶縁性GaAs基板1にアンドープGaAsパッファ層2、アンドープInGaAs電流チャネル層3、N型AlGaAs電子供給層5を順次成長させる。つぎにゲート電極6、ソース電極7およびドレイン電極8を形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板の一主面上にアンドープバッファ層、前記バッファ層よりも電子親和力が大きくエネルギーギャップギャップが小さい半導体からなるチャンネル層、前記バッファ層と電子親和力およびエネルギーギャップギャップが等しい半導体からなるスペーサ層および前記スペーサ層よりも電子親和力が小さくエネルギーギャップギャップが大きい半導体からなる電子供給層が順次堆積された化合物半導体ヘテロ接合電界効果トランジスタ。

【請求項2】 バッファ層がGaAsで、チャンネル層がInGaAsで、スペーサ層がGaAsで、電子供給層がAlGaAsである請求項1記載の化合物半導体ヘテロ接合電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は化合物半導体ヘテロ接合電界効果トランジスタ(FET)の高性能化に関するものである。

## 【0002】

【従来の技術】 化合物半導体電界効果トランジスタとして、ヘテロ接合のエネルギーギャップギャップの小さい半導体に誘起される二次元電子ガス(2DEG)層を用いた電界効果トランジスタ(FET)がある。

【0003】 従来のFETとしてMorkocらの“Semiconductor Device with Strained InGaAs Layer” United States Patent 4,827,320, May 2, 1989について、図3を参照して説明する。

【0004】 半絶縁性GaAs基板1上に、アンドープ(高純度)GaAsバッファ層2、アンドープInGaAs電流チャンネル層3、アンドープAlGaAsスペーサ層4a、SiドープAlGaAs電子供給層5が堆積されている。その上にゲート電極6、ソース電極7およびドレイン電極8が形成されている。

【0005】 アンドープAlGaAsスペーサ層4aおよびアンドープGaAsバッファ層2には含まれたアンドープInGaAs電流チャンネル層3のポテンシャル井戸には二次元電子ガス(2DEG)3aが形成される。ゲート電極6に印加される電圧によってソース電極7とドレイン電極8との間の二次元電子ガス3aを流れる電流が制御される。

【0006】 FETの性能を向上させるには、二次元電子ガス3aのシート電子濃度および電子移動度を高める必要がある。そこでSiドープAlGaAs電子供給層5とアンドープInGaAsチャンネル層3との間にアンドープAlGaAsスペーサ層4aを挿入して、AlGaAs電子供給層5のドナーイオンによるクーロン散乱を抑えることによって、二次元電子ガス3aの電子移動

度を高めている。

## 【0007】

【発明が解決しようとする課題】 アンドープInGaAs電流チャンネル層とアンドープAlGaAsスペーサ層との界面には、Ga, Al, In, Asからなる4元化合物が形成されている。4元化合物によるクーロン散乱の影響が無視できないので、ヘテロ界面近傍の二次元電子ガスの電子移動度を十分に高めることができなかった。

## 10 【0008】

【課題を解決するための手段】 本発明の化合物半導体ヘテロ接合電界効果トランジスタは、半導体基板の一主面上にアンドープバッファ層、前記バッファ層よりも電子親和力が大きくエネルギーギャップギャップが小さい半導体からなるチャンネル層、前記バッファ層と電子親和力およびエネルギーギャップギャップが等しい半導体からなるスペーサ層および前記スペーサ層よりも電子親和力が小さくエネルギーギャップギャップが大きい半導体からなる電子供給層が順次堆積されたものである。

## 20 【0009】

【実施例】 本発明の第1の実施例について図1(a)を参照して説明する。

【0010】 はじめに半絶縁性GaAs基板1をMBE装置の成長室内で熱クリーニングしたのち、成長温度600℃で厚さ1μmのアンドープGaAsバッファ層2を成長させる。つぎに成長温度を500℃に下げたのち厚さ10nmのアンドープIn<sub>r</sub>Ga<sub>1-r</sub>As電流チャンネル層3(組成比Y=0.2)、厚さ1.5nmのアンドープGaAsスペーサ層4、Siを $2 \times 10^{18} \text{ cm}^{-3}$ ドープした厚さ40nmのN型Al<sub>r</sub>Ga<sub>1-r</sub>As電子供給層5(組成比X=0.2)を順次成長させる。つぎにゲート電極6、ソース電極7およびドレイン電極8を形成する。

【0011】 N型Al<sub>r</sub>Ga<sub>1-r</sub>As電子供給層5からは二次元電子ガス3aに十分な電子が供給される。ゲート電極6に印加される電圧によってソース電極7とドレイン電極8との間の二次元電子ガス3aを流れる電流が制御される。

40 【0012】 本実施例の77Kにおける二次元電子ガスの電子移動度μは $2.9 \times 10^4 \text{ cm}^2/\text{V} \cdot \text{s}$ と、従来例よりも20%増加した。

【0013】 またFETの性能を判断する指標である相互コンダクタンスg<sub>m</sub>は、従来例よりも25%増加した。

【0014】 図2に77Kにおける二次元電子ガスの電子移動度のスペーサ層厚依存性を示す。試作実験ではアンドープGaAsスペーサ層の厚さが1nmから3nmの範囲で良好な特性が確認されているが、電子移動度が最高になる約1.5nmが最適値となることがわかる。

50 【0015】 つぎに本発明の第2の実施例について図1

3

(b)を参照して説明する。

【0016】はじめに半絶縁性GaAs基板1をMBE装置の成長室内で熱クリーニングしたのち、成長速度800℃で厚さ1μmのアンドープGaAsバッファ層2を成長させる。つぎに成長温度を500℃に下げたのち厚さ10nmのアンドープIn<sub>r</sub>Ga<sub>1-r</sub>As電流チャネル層3（組成比Y=0.2）、厚さ1.5nmのアンドープGaAsスペーサ層4、厚さ30nmのSiドープN型Al<sub>r</sub>Ga<sub>1-r</sub>As電子供給層5（組成比X=0.2）を成長させる。つぎにゲート電極6、ソース電極7およびドレイン電極8を形成する。

【0017】本実施例ではSiドープ電子供給層5のSi濃度は一様ではなく、濃度N<sub>s</sub>=5×10<sup>12</sup>cm<sup>-2</sup>のSiデルタドープ層5aに集中させている。したがって二次元電子ガス3aには十分な電子を供給することができる。

【0018】このFETの77Kにおける二次元電子ガス3aの電子移動度μは2.8×10<sup>4</sup>cm<sup>2</sup>/V・sと、従来例よりも15%増加した。

【0019】しかもAl<sub>r</sub>Ga<sub>1-r</sub>As電子供給層5がデルタドープされているので第1の実施例よりも薄くすることができる。ゲート電極と二次元電子ガス3aとの距離が短くなってg<sub>m</sub>が従来例よりも30%増加した。

【0020】

【発明の効果】SiドープN型AlGaAs電子供給層とアンドープInGaAsチャネル層との間にアンドー

4

プGaAsスペーサ層を挿入した。その結果、ヘテロ界面近傍におけるGa, Al, In, Asからなる4元化合物が形成されなくなった。

【0021】ヘテロ界面近傍のクーロン散乱を低減して、二次元電子ガスの電子移動度は従来例よりも15%以上高くなり、FET特性が大幅に向上した。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施例を示す断面図である。(b)は本発明の第2の実施例を示す断面図である。

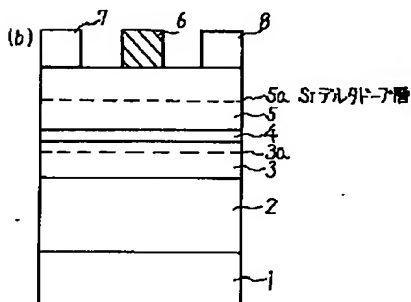
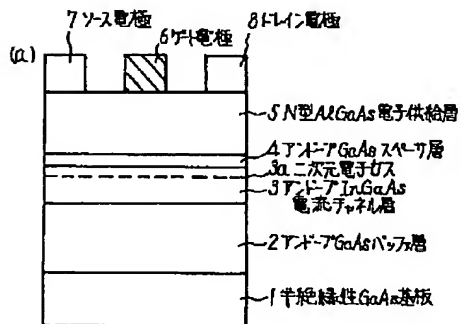
【図2】スペーサ層の厚さに対する二次元電子ガスの電子移動度を示すグラフである。

【図3】従来のFETを示す断面図である。

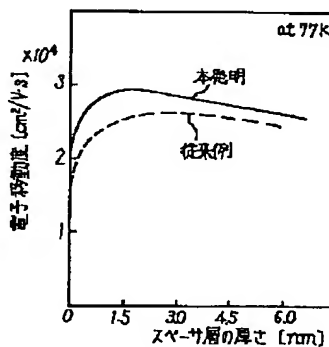
【符号の説明】

- 1 半絶縁性GaAs基板
- 2 アンドープGaAsバッファ層
- 3 アンドープIn<sub>r</sub>Ga<sub>1-r</sub>As電流チャネル層
- 3a 二次元電子ガス
- 4 アンドープGaAsスペーサ層
- 4a アンドープAlGaAsスペーサ層
- 5 SiドープN型Al<sub>r</sub>Ga<sub>1-r</sub>As電子供給層
- 5a Siデルタドープ層
- 6 ゲート電極
- 7 ソース電極
- 8 ドレイン電極

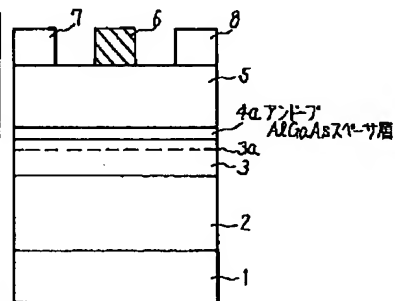
【図1】



【図2】



【図3】



BEST AVAILABLE COPY